

Patent Abstracts of Japan

PUBLICATION NUMBER : 54045570
PUBLICATION DATE : 10-04-79

APPLICATION DATE : 19-09-77
APPLICATION NUMBER : 52112801

APPLICANT : MATSUSHITA ELECTRIC IND CO LTD;

INVENTOR : KITAHIRO ISAMU;

INT.CL. : H01L 21/302 H01L 21/312 H01L 21/78

TITLE : MANUFACTURE FOR SEMICONDUCTOR ELEMENT

ABSTRACT : PURPOSE: To avoid the short circuit of the connection to the external leads around the elements, by performing insulation coat for the upper part of the circumference and side surface on the major plane of the elements separated from the wafer.

CONSTITUTION: On the Si substrate 11, oxide film 12 and the electrode 13 for external lead connection are formed. The groove 15 is made with dicing and it is coated with the polymide resin 16. With photo etching, the resin on the electrode 13 is selectively removed and opened 17. Further, dicing is made with narrower width than the groove 15. With this constitution, the connection wire between the element electrode and external lead can not be shortened

COPYRIGHT: (C)1979,JPO&Japio

⑨日本国特許庁(JP)

⑩特許出願公開

⑪公開特許公報(A)

昭54-45570

⑫Int. Cl.²
H 01 L 21/302
H 01 L 21/312
H 01 L 21/78

識別記号 ⑬日本分類
99(5) A 04
99(5) C 23

⑭内整理番号 ⑮公開 昭和54年(1979)4月10日
7113-5F
7377-5F
6123-5F
発明の数 1
審査請求 未請求

(全2頁)

⑯半導体素子の製造方法

⑰特 願 昭52-112801
⑱出 願 昭52(1977)9月19日
⑲發明者 北廣勇

門真市大字門真1006番地 松下
電器産業株式会社内

⑳出願人 松下電器産業株式会社
門真市大字門真1006番地
㉑代理人 弁理士 中尾敏男 外1名

明細書

1、発明の名称

半導体素子の製造方法

2、特許請求の範囲

複数個の半導体素子が形成された半導体ウエハーの正面の裁断領域に溝を形成する工程と、少なくとも前記溝を含んで前記半導体ウエハーを絶縁性樹脂で被覆する工程と、前記半導体ウエハーを前記裁断領域に沿って前記溝より狭い切り代で切断する工程よりなる半導体素子の製造方法。

3、発明の詳細な説明

本発明は半導体素子の製造方法に関し、特に半導体ウエハーから分割された半導体素子の正面と周辺および側面上部が絶縁性樹脂で被覆された構造の半導体素子を提供することを目的とする。

従来、半導体ウエハーの分割方法としてはレーザ・スクライバ、ダイカット、ドリル等、スクライバ、ダイシング、ソーラ等がある。

ダイカットは、ドリル等、スクライバ等の半導体ウエハーを切離す場合の半導体素子が崩壊す

2ページ
を第1図に示す。この第1図において、1はシリコン基板、2は酸化膜、3は外部リード接続用電極、4は表面保護膜、5は表面保護膜開口部である。この第1図に示す半導体素子の正面周辺部は裁断領域の一部6であり、酸化膜2が除去されている。このことはレーザ・スクライバで半導体ウエハーを切断した場合においても同様である。また、ダイシング・ソーラで半導体ウエハーを切断した場合には、回転する円板状ダイシングホイールの内周部に埋め込まれたダイヤモンドで切断するためシリコン基板上の酸化が欠落し、基板が露出する。このような半導体素子を組み立てた場合、素子上電極と外部リードを接続する金属性線が素子周辺で基板と接触することがある。特に第1図に示した半導体素子の外部リード接続用電極3上に金突起電極を設け、外部リードとして端子とそれを接着させる接続する工程において、この点における、半導体素子が倒れ、裁断領域の一部6でシリコン基板に接触する場合が多い。

本発明は、前記半導体ウエハーの半導体素子

点を除去するものであり、以下に本発明の一実施例について第2図とともに説明する。

第2図Aは複数個の半導体素子が形成された半導体ウェハーの断面図であり、シリコン基板11上には酸化膜12、外部リード接続用電極13が設けられている。14は裁断領域である。この半導体ウェハーは第2図Bに示すように前記裁断領域14にダイシング・ソーで溝15が形成される。この溝15の幅は100μm程度でも良い。なお、溝15の深さが浅くても良い場合にはエッチングにより形成されても良いが、ダイシング・ソーでは溝15の幅に比べ溝15の深さを3倍程度とするのは極めて容易である。その後、第3図Cに示すように、溝15を含んで半導体ウェハーを絶縁性樹脂16で被覆する。この絶縁性樹脂16は耐熱性を必要とされる場合、ポリイミドが用いられるが良い。特にポリイミドを用いると、溝15を埋めて、なお、半導体ウェハー上全面にわたって平坦にできる。絶縁性樹脂16の厚さは電極配線上で2~3μmが適当である。次に、第2図Dに

示すように、絶縁性樹脂16を半硬化状態で、ホトレジストをマスクとしてアルカリ液でエッチングし、外部リード接続用電極3上の絶縁性樹脂16を選択的に除去し、絶縁性樹脂開口部17を形成する。そして、この開口部17に金属突起電極を形成してもよい。次に第2図Eに示すように、前記溝15を形成する際に用いたダイシング・ホールより幅の狭いダイシング・ホールを用いて前記裁断領域14に沿って切断する。以上の製造方法により得られた半導体素子は主面上周辺および側面上部が絶縁性樹脂で被覆された構造であり、このよう半導体素子を組み立てた場合、素子上電極と外部リードを接続する金属細線が基板に接触することは全く無い。また、溝15を形成する際に酸化膜12が欠落しても、後の工程において絶縁性樹脂16で完全に修復される。さらに溝15の幅と切り代18との関係はダイシング・ホールの選択により任意に変えることができる。

以上の説明から明らかのように本発明は、半導体ウェハーの裁断領域に溝を形成しこの溝を含ん

で前記半導体ウェハーを絶縁性樹脂で被覆し、前記裁断領域に沿って前記溝より狭い切り代で切断する半導体素子の製造方法であり、主面上周辺および側面上部が絶縁性樹脂で被覆された構造の半導体素子を得ることができる。

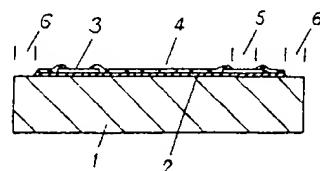
4. 図面の簡単な説明

第1図は従来の製造方法により得られた半導体素子の断面図、第2図A~Eは本発明の一実施例を示す半導体素子の製造方法を示す工程断面図である。

14……裁断領域、15……溝、18……
…絶縁性樹脂、18……切り代。

代理人の氏名 幸利士 中尾敏男 母か1名

第1図



第2図

